

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Kenichi WATANABE**

Serial No.: **Not Yet Assigned**

Filed: **January 18, 2002**

For: **SEMICONDUCTOR DEVICE CAPABLE OF SUPPRESSING CURRENT
CONCENTRATION IN PAD AND ITS MANUFACTURE METHOD**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
Washington, D.C. 20231

January 18, 2002

Sir:

The benefit of the filing dates of the following prior foreign applications are hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2001-271416, filed September 7, 2001

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,
ARMSTRONG, WESTERMAN & HATTORI, LLP



Donald W. Hanson
Reg. No. 27,133

Reg. No. 32,878

Atty. Docket No.: 020029
Suite 1000, 1725 K Street, N.W.
Washington, D.C. 20006
Tel: (202) 659-2930
Fax: (202) 887-0357
DWH/ll



#3 | PRIORITY
PAPER
5-9-02
RATINGS

日 本 国 特 許 庁
JAPAN PATENT OFFICE

J1011 U.S. PTO
10/050171
01/18/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 9月 7日

出 願 番 号

Application Number:

特願2001-271416

出 願 人

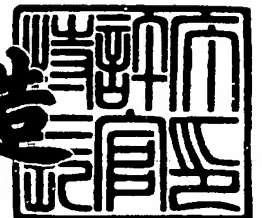
Applicant(s):

富士通株式会社

2001年11月16日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3100483

【書類名】 特許願

【整理番号】 0140837

【提出日】 平成13年 9月 7日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/3205

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 10

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 渡邊 健一

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100091340

 【弁理士】

 【氏名又は名称】 高橋 敬四郎

 【電話番号】 03-3832-8095

【選任した代理人】

 【識別番号】 100105887

 【弁理士】

 【氏名又は名称】 来山 幹雄

 【電話番号】 03-3832-8095

【手数料の表示】

 【予納台帳番号】 009852

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

特 2 0 0 1 - 2 7 1 4 1 6

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705794

【包括委任状番号】 0109607

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 (a) 表面上に半導体素子が形成された半導体基板の上に、絶縁材料からなる第 1 の層間絶縁膜を形成する工程と、

(b) 前記第 1 の層間絶縁膜の上に、絶縁材料からなる第 1 の層内絶縁膜を形成する工程と、

(c) 前記第 1 の層内絶縁膜に凹部を形成する工程であって、該凹部は、パッド部と、該パッド部に連続する配線部とを含み、該パッド部は、該配線部の幅よりも広い幅を有し、該パッド部内に複数の凸部が残されており、該パッド部の外周を外周線とし第 1 の幅を有する枠状の第 1 の枠状領域のうち、前記配線部を該パッド部内に延長した領域と重なる配線近傍領域における凹部の面積比が、前記第 1 の枠状領域の内周線を外周線とし第 2 の幅を有する枠状の第 2 の枠状領域における凹部の面積比よりも大きくなるように前記凸部が配置されるように凹部を形成する工程と、

(d) 前記凹部内を埋め込むように、前記半導体基板上に導電性材料からなる第 1 の膜を形成する工程と、

(e) 前記第 1 の膜の上層部を除去し、前記凹部内に残った該第 1 の膜からなる第 1 のパッドを形成する工程と
を有する半導体装置の製造方法。

【請求項 2】 前記工程 (e) の後、さらに、

(f) 前記第 1 の層内絶縁膜及び残された前記第 1 の膜の上に、絶縁材料からなる第 2 の層間絶縁膜を形成する工程と、

(g) 前記第 2 の層間絶縁膜にビアホールを形成する工程であって、基板の法線に平行な視線で見たとき、該ビアホールが前記第 1 のパッドに内包されるように前記ビアホールを形成する工程と、

(h) 前記第 2 の層間絶縁膜の上に、前記ビアホール内を経由して前記第 1 のパッドに接続された第 2 のパッドを形成する工程と
を有する請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記工程 (h) の後、さらに、

(i) 前記第 2 のパッドに導電性の針を接触させて、前記半導体素子の検査を行う工程を含む請求項 2 に記載の半導体装置の製造方法。

【請求項 4】 前記工程 (i) の後、さらに、

(j) 前記第 2 のパッドの内側を通過するように、前記半導体基板をスクライピングする工程を含む請求項 3 に記載の半導体装置の製造方法。

【請求項 5】 前記第 2 の枠状領域よりも内側の中央領域には前記凸部が残されておらず、

さらに、前記工程 (e) の後、前記第 1 の層内絶縁膜及び残された前記第 1 の膜の上に、絶縁材料からなる第 2 の層間絶縁膜を形成する工程と、

前記第 2 の層間絶縁膜にビアホールを形成する工程であって、基板の法線に平行な視線で見たとき、該ビアホールが前記中央領域に内包されるように前記ビアホールを形成する工程と、

前記第 2 の層間絶縁膜の上に、前記ビアホール内を経由して前記第 1 のパッドに接続された第 2 のパッドを形成する工程と、

前記第 2 のパッドに、導線をワイヤボンディングする工程であって、基板の法線に平行な視線で見たとき、前記導線と前記第 2 のパッドとの接触部が前記ビアホールの外側まで広がるようにボンディングを行う工程と
を有する請求項 1 に記載の半導体装置の製造方法。

【請求項 6】 半導体基板と、

前記半導体基板の上に形成された絶縁性材料からなる第 1 の層間絶縁膜と、

前記第 1 の層間絶縁膜の上に形成された第 1 の層内絶縁膜であって、該第 1 の層内絶縁膜の底面まで達する凹部が設けられており、該凹部は、パッド部と、該パッド部に連続する配線部とを含み、該パッド部は、該配線部の幅よりも広く、該パッド部内に複数の凸部が残されており、該パッド部の外周を外周線とし第 1 の幅を有する枠状の第 1 の枠状領域のうち、前記配線部を該パッド部内に延長した領域と重なる配線近傍領域における凹部の面積比が、前記第 1 の枠状領域の内周線を外周線とし第 2 の幅を有する枠状の第 2 の枠状領域における凹部の面積比よりも大きくなるように前記凸部が配置されている前記第 1 の層内絶縁膜と、

前記凹部のパッド部内に埋め込まれた第 1 のパッドと、
前記凹部の配線部内に埋め込まれた配線と
を有する半導体装置。

【請求項 7】 前記第 1 の層内絶縁膜、前記第 1 のパッド、及び前記配線の上に形成され、基板の法線に平行な視線で見たとき、前記第 1 のパッドと部分的に重なるように配置されたビアホールが設けられている第 2 の層間絶縁膜と、

前記第 2 の層間絶縁膜の上に形成され、前記ビアホール内を經由して前記第 1 のパッドに接続された第 2 のパッドと
を有する請求項 6 に記載の半導体装置。

【請求項 8】 前記配線近傍領域内に前記凸部が配置されていない請求項 6 または 7 に記載の半導体装置。

【請求項 9】 前記第 2 の枠状領域よりも内側の中央領域内に前記凸部が配置されていない請求項 6 乃至 8 のいずれかに記載の半導体装置。

【請求項 10】 基板の法線に平行な視線で見たとき、前記ビアホールが前記第 1 のパッドに内包されている請求項 6 乃至 9 のいずれかに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法及び半導体装置に関し、特にダマシン法で配線及びパッドを形成する際に、歩留まり低下を防止することができる半導体装置の製造方法、及びその製造方法に適した構造を有する半導体装置に関する。

【0002】

【従来の技術】

近年、半導体集積回路装置（LSI）の高集積化、微細化が進むに従って、多層配線の設計ルールも縮小化されてきた。金属層を部分的にエッチングして配線を残す手法に、技術的な限界が生じ始めている。そこで、絶縁膜に配線用の溝や導電性プラグ用のビアホールを形成しておき、後からこの溝やビアホールを導電性材料で埋め込むダマシン法が利用され始めている。

【0003】

微細加工によって形成された多層配線構造の上に、最終的に、外部回路との接続や検査のためのパッドが形成される。このパッドは、多層配線構造内の他のパターンに比べて比較的大きな寸法を有する。

【0004】

図12 (A) を参照して、従来のダマシン法を用いたパッドの作製方法について説明する。

【0005】

図12 (A) は、ダマシン法により作製されたパッドの断面図を示す。まず、シリコン基板上の層間絶縁膜500の表面上に、エッチングストッパ膜501及び絶縁膜502を堆積する。この2層に、開口503を形成する。

【0006】

次に、開口503の内面及び絶縁膜502の上面を覆うように、バリアメタル層504を形成する。バリアメタル層504の表面上に銅層をスパッタリングにより形成する。この銅層をシード層として、めっき法により厚い銅層を形成する。開口503内がめっきによる銅層で埋め込まれる。

【0007】

化学機械研磨 (CMP) により、絶縁膜502の上に堆積した銅層及びバリアメタル層を除去する。図12 (A) に示したように、開口503内に、めっきによる銅層からなるパッド505が残る。

【0008】

パッド505の面積が大きい場合には、パッド505の上面が窪む。この現象は、ディッシング (dishing) と呼ばれる。また、絶縁膜502の上面は、パッド505に近づくに従って徐々に下がった形状になる。この現象は、エロージョン (erosion) と呼ばれる。このように、CMP後の表面に、パッド部の下がった窪みが生ずる。

【0009】

図12 (B) に示すように、ディッシングやエロージョンの生じた表面上に、窒化シリコンからなるエッチングストッパ膜506と、酸化シリコンからなる層

間絶縁膜 5 0 7 が形成される。層間絶縁膜 5 0 6 の表面に、その下地表面に倣った窪みが生ずる。層間絶縁膜 5 0 7 の表面上にレジスト膜を形成し、フォトリソグラフィ技術を用いてパターンを形成する場合、窪みに起因して、露光時の焦点深度マージンが低下してしまう。また、この表面上にダマシン法により配線を形成する場合、CMP 後に導電膜の残渣が発生し、プラグ同士が電氣的に短絡してしまう。

【 0 0 1 0 】

図 1 2 (C) は、図 1 2 (A) の絶縁膜 5 0 2 を下層の絶縁膜 5 0 2 A と上層の絶縁膜 5 0 2 B との 2 層構造にした場合の断面を示す。下層の絶縁膜 5 0 2 A は弗素添加酸化シリコンで形成され、上層の絶縁膜 5 0 2 B は酸化シリコンで形成されている。エロージョンが生じると、開口 5 0 3 の縁に接する部分において、下層の絶縁膜 5 0 2 A が露出してしまう場合がある。弗素添加酸化シリコンは吸湿性が高いため、露出した絶縁膜 5 0 2 A が水分を吸収してしまう。吸湿した弗素添加酸化シリコン膜は、後の熱処理工程でガスを発生させたり、密着性を低下させたりする。

【 0 0 1 1 】

下層の絶縁膜がポリアリルエーテル等の絶縁性有機物で形成されている場合には、吸湿及び密着性低下の他に、下記の問題が生じ得る。パッド 5 0 5 の上に、ダマシン法によって配線を形成する場合には、図 2 (D) に示すように、パッド 5 0 5 の上に、窒化シリコンからなるエッチングストッパ膜 5 0 6 を形成する。このエッチングストッパ膜 5 0 6 をプラズマ励起型化学気相成長 (P E - C V D) で形成する際に、反応によって H_2 と NH_3 とのプラズマが発生する。このため、露出した下層の絶縁膜 5 0 2 A が、 H_2 と NH_3 とのプラズマに晒される。このプラズマにより、下層の絶縁膜 5 0 2 A がエッチングされてしまい、空隙が形成される場合がある。また、膜自体が変質して、密着性が低下してしまう場合もある。

【 0 0 1 2 】

また、エッチングストッパ膜 5 0 6 を成膜する前に、C u パッドの表面に形成されている薄い酸化銅の膜を除去するために、例えば NH_3 プラズマにより還元

処理が行われる。この還元処理時に、絶縁膜 5 0 2 A が変質してしまう場合もある。

【0 0 1 3】

図 1 3 (A) 乃至 (C) は、ディッシングやエロージョンの発生を抑制することを目的として提案されているパッドの平面図を示す。図 1 3 (A) および (C) に示されたパッドは、特開平 1 1 - 1 5 0 1 1 4 号公報に開示され、図 1 3 (B) に示されたパッドは、特開平 1 0 - 2 2 9 0 8 5 号公報に開示されている。いずれの場合も、パッド 5 0 5 の内部に、図 1 2 (A) に示した絶縁層 5 0 2 の残された絶縁領域 5 0 2 a が配置されている。絶縁領域 5 0 2 a が、CMP 時の研磨停止層として作用するため、ディッシングやエロージョンの発生を抑制することができる。

【0 0 1 4】

【発明が解決しようとする課題】

図 1 4 に、パッドと、それに連続する配線との平面図を示す。正方形のパッド 5 0 5 の一つの辺に、配線 5 1 0 が接続されている。パッド 5 0 5 の内部に、複数の正形状の絶縁領域 5 0 2 a が、行列状に配置されている。ディッシングやエロージョンの発生の抑制効果を高めるために、図 1 3 (C) の場合に比べて、絶縁領域 5 0 2 a の各々が小さくされ、その個数が多くなっている。

【0 0 1 5】

配線 5 1 0 の幅を W_1 、パッド 5 0 5 の外周から、最も外側の絶縁領域 5 0 2 a までの距離を W_2 、相互に隣り合う絶縁領域 5 0 2 a の間隔を W_3 とする。配線 5 1 0 を横断し、かつパッド 5 0 5 と配線 5 1 0 との境界線に最も近い位置に配置された複数の絶縁領域 5 0 2 a を連ねる閉じた線 5 1 1 を考える。図 1 4 の場合には、閉じた線 5 1 1 が 6 個の絶縁領域 5 0 2 a 内を通過している。以下、閉じた線 5 1 1 が $(n+1)$ 個の絶縁領域 5 0 2 a 内を通過する場合を考える。

【0 0 1 6】

配線 5 1 0 からパッド 5 0 5 に電流が流入する時、閉じた線 5 1 1 内に流入する電流と、閉じた線 5 1 1 から流出する電流とは等しい。すなわち、閉じた線 5 1 1 と配線 5 1 0 とが交差する長さ W_1 の部分を通過する電流が、閉じた線 5 1

1 とパッド 505 の導電領域とが交差する長さ $2 \times W_2 + n \times W_3$ の部分を通過する電流と等しくなる。

【0017】

次の不等式

【0018】

【数1】

$$W_1 > 2 \times W_2 + n \times W_3$$

が成立する場合、配線 510 内を流れる電流密度が許容限界値になると、パッド 505 内において、閉じた線 511 と交差する方向に流れる電流密度が許容値を超えてしまう。

【0019】

また、パッド 505 に導電性の針を接触させて、シリコン基板上に形成した半導体素子の特性を検査する場合がある。パッド 505 内に絶縁領域 502a が分散されていると、パッド 505 と導電性の針との接触が不安定になってしまう。

【0020】

本発明の目的は、パッド内での過度の電流集中を抑制することが可能なパッド構造を有する半導体装置及びその製造方法を提供することである。

【0021】

本発明の他の目的は、パッドに検査用の針を接触させる時のパッドと針との接触の不安定性を軽減することが可能なパッド構造を有する半導体装置及びその製造方法を提供することである。

【0022】

【課題を解決するための手段】

本発明の一観点によると、(a) 表面上に半導体素子が形成された半導体基板の上に、絶縁材料からなる第1の層間絶縁膜を形成する工程と、(b) 前記第1の層間絶縁膜の上に、絶縁材料からなる第1の層内絶縁膜を形成する工程と、(c) 前記第1の層内絶縁膜に凹部を形成する工程であって、該凹部は、パッド部と、該パッド部に連続する配線部とを含み、該パッド部は、該配線部の幅よりも広い幅を有し、該パッド部内に複数の凸部が残されており、該パッド部の外周を

外周線とし第 1 の幅を有する枠状の第 1 の枠状領域のうち、前記配線部を該パッド部内に延長した領域と重なる配線近傍領域における凹部の面積比が、前記第 1 の枠状領域の内周線を外周線とし第 2 の幅を有する枠状の第 2 の枠状領域における凹部の面積比よりも大きくなるように前記凸部が配置されるように凹部を形成する工程と、(d) 前記凹部内を埋め込むように、前記半導体基板上に導電性材料からなる第 1 の膜を形成する工程と、(e) 前記第 1 の膜の上層部を除去し、前記凹部内に残った該第 1 の膜からなる第 1 のパッドを形成する工程とを有する半導体装置の製造方法が提供される。

【 0 0 2 3 】

本発明の他の観点によると、半導体基板と、前記半導体基板の上に形成された絶縁性材料からなる第 1 の層間絶縁膜と、前記第 1 の層間絶縁膜の上に形成された第 1 の層内絶縁膜であって、該第 1 の層内絶縁膜の底面まで達する凹部が設けられており、該凹部は、パッド部と、該パッド部に連続する配線部とを含み、該パッド部は、該配線部の幅よりも広く、該パッド部内に複数の凸部が残されており、該パッド部の外周を外周線とし第 1 の幅を有する枠状の第 1 の枠状領域のうち、前記配線部を該パッド部内に延長した領域と重なる配線近傍領域における凹部の面積比が、前記第 1 の枠状領域の内周線を外周線とし第 2 の幅を有する枠状の第 2 の枠状領域における凹部の面積比よりも大きくなるように前記凸部が配置されている前記第 1 の層内絶縁膜と、前記凹部のパッド部内に埋め込まれた第 1 のパッドと、前記凹部の配線部内に埋め込まれた配線とを有する半導体装置が提供される。

【 0 0 2 4 】

凹部のパッド部内に複数の凸部が残されているため、工程 (e) で第 1 の膜を除去する際に、パッド部内の第 1 の膜の上面に窪みが発生すること抑制することができる。配線近傍領域の凹部の面積比が比較的大きいため、配線近傍領域内の第 1 のパッドの面積比が大きくなる。このため、配線からパッドに流入する電流が、第 1 のパッドの特定の箇所に過度に集中することを回避することができる。

【 0 0 2 5 】

【発明の実施の形態】

図 1 に、本発明の第 1 の実施例による半導体装置の断面図を示す。半導体基板 1 の表層部に素子分離絶縁膜 5 が形成され、活性領域を画定している。素子分離絶縁膜 5 は、シリコン局所酸化 (LOCOS) 法や、シャロートレンチアイソレーション (STI) 法により形成される。活性領域の基板表面上に、MOS 型電界効果トランジスタ (MOSFET) 6 が形成されている。

【0026】

半導体基板 1 の上に、MOSFET 6 を覆うように、層間絶縁膜 10 が形成されている。層間絶縁膜 10 は、窒化シリコンからなる下層 10A と、酸化シリコンからなる上層 10B との 2 層構造を有する。ビアホール 11 が、層間絶縁膜 10 を貫通する。ビアホール 11 は、MOSFET 6 のソース領域及びドレイン領域に対応する位置に配置されている。ビアホール 11 の内面を、窒化チタン (TiN) からなるバリア層 12A が覆い、ビアホール 11 内に、タングステン (W) からなる導電性のプラグ 12B が埋め込まれている。

【0027】

ここまでの構造は、公知の成膜技術、フォトリソグラフィ、化学機械研磨等を用いて形成することができる。

【0028】

層間絶縁膜 10 の上に、4 層の配線層 20 が配置されている。上下に隣り合う 2 つの配線層 20 の間に、層間絶縁膜 30 が配置されている。各配線層 20 は、層内絶縁膜 21、配線 25、及びパッド 27 を含む。配線 25 及びパッド 27 は、層内絶縁膜 21 の底面まで達する溝 (凹部) 内に埋め込まれている。溝の内面と配線 25 との界面、及び溝の内面とパッド 27 との界面に、バリアメタル層 26 が配置されている。配線 25 及びパッド 27 は、例えば銅 (Cu) で形成され、バリアメタル層 26 は、例えば窒化タンタル (Ta₂N₅) で形成される。バリアメタル層 26 の厚さは例えば 30 nm である。

【0029】

層内絶縁膜 21 の各々は、半導体基板 1 側から、エッチングストッパ膜 22、中層膜 23、及び上層膜 24 が順番に積層された 3 層構造を有する。エッチングストッパ膜 22 は、例えば窒化シリコンで形成され、その厚さは 50 nm である。

。中層膜 2 3 は、例えば弗素添加酸化シリコンで形成され、その厚さは 3 5 0 n m である。上層膜 2 4 は、例えば酸化シリコンで形成され、その厚さは 1 5 0 n m である。

【 0 0 3 0 】

層間絶縁膜 3 0 と、その下の配線層 2 0 との間に、エッチングストッパ膜 3 1 が配置されている。層間絶縁膜 3 0 は、例えば酸化シリコンで形成され、その厚さは 5 0 0 n m である。エッチングストッパ膜 3 1 は、例えば窒化シリコンで形成され、その厚さは 5 0 n m である。

【 0 0 3 1 】

層間絶縁膜 3 0 とエッチングストッパ膜 3 1 との 2 層に、ビアホール 3 5 が形成されている。ビアホール 3 5 内に、導電性のプラグ 3 6 が埋め込まれている。ビアホール 3 5 の内面とプラグ 3 6 との間に、バリアメタル層 3 7 が配置されている。バリアメタル層 3 7 は、例えば窒化タンタルで形成され、その厚さは 3 0 n m である。プラグ 3 6 は、例えば C u で形成され、上下の配線同士またはパッド同士を接続する。

【 0 0 3 2 】

すべての配線層 2 0 内に、同一パターンのパッド 2 7 が、基板面内の同じ位置に配置されている。このパッド 2 7 の形状については、後に詳しく説明する。

【 0 0 3 3 】

第 4 層目の配線層 2 0 の上に、エッチングストッパ膜 4 1 及び層間絶縁膜 4 0 が、この順番に積層されている。ビアホール 4 5 が、層間絶縁膜 4 0 とエッチングストッパ膜 4 1 との 2 層を貫通する。ビアホール 4 5 内に、導電性のプラグ 4 6 が埋め込まれている。ビアホール 4 5 の内面とプラグ 4 6 との間に、接着層 4 7 が配置されている。接着層 4 7 は、例えば T i N で形成され、その厚さは 2 0 0 n m である。プラグ 4 6 は、例えばタングステン (W) で形成される。

【 0 0 3 4 】

層間絶縁膜 4 0 の表面上の、パッド 2 7 に対応する位置に、パッド 5 0 が形成されている。パッド 5 0 と層間絶縁膜 4 0 との界面に、バリアメタル層 5 1 が配置されている。パッド 5 0 は、プラグ 4 6 を介して、その下のパッド 2 7 に接続

されている。層間絶縁膜 4 0 の他の領域上に、配線 6 0 やパッドが形成されている。これらのパッドは、例えば回路試験用、ワイヤボンディング用、またはバンブ形成用である。

【0035】

層間絶縁膜 4 0 の上に、パッド 5 0 や配線 6 0 を覆う被覆膜 7 0 が形成されている。被覆膜 7 0 は、厚さ 1 0 0 0 n m の酸化シリコン膜 7 0 A と厚さ 5 0 0 n m の窒化シリコン膜 7 0 B との 2 層で構成される。被覆膜 7 0 に、パッド 5 0 の上面を露出させる開口 7 1 が形成されている。パッド 5 0 の上面のうち、露出していない領域と被覆膜 7 0 との界面に、バリアメタル層 5 2 が形成されている。

【0036】

パッド 5 0 は、例えば A l C u 合金 (C u の含有率 0 . 5 重量 %) で形成され、その厚さは 1 0 0 0 n m である。バリアメタル層 5 1 及び 5 2 の各々は、例えば T i N で形成され、その厚さは 5 0 n m である。パッド 5 0 の上面に、導線 7 5 がワイヤボンディングされている。パッド 7 5 は、その下の配線層内のパッド 2 7 及びプラグ 3 6 を介して、半導体基板 1 の表面上に形成された半導体素子、例えば M O S F E T 6 に接続されている。

【0037】

図 2 (A) に、第 1 層目の配線層 2 0 内に配置されたパッド 2 7 の平面図を示す。図 1 は、図 2 (A) の一点鎖線 A 1 - A 1 における断面図に相当する。パッド 2 7 に配線 2 5 が連続している。図 1 に示した第 2 層目から第 4 層目までの配線層 2 0 内に配置されたパッド 2 7 も、図 2 (A) に示したパッド 2 7 と同一の平面形状を有する。

【0038】

パッド 2 7 の内部が、第 1 の枠状領域 2 7 a、第 2 の枠状領域 2 7 c、及び中央領域 2 7 d に分けられている。第 1 の枠状領域 2 7 a は、パッド 2 7 の外周を外周線とし、幅が L 1 の枠状の領域である。第 2 の枠状領域 2 7 c は、第 1 の枠状領域 2 7 a の内周線を外周線とし、幅が L 2 の枠状の領域である。中央領域 2 7 d は、第 2 の枠状領域 2 7 c の内周線よりも内側の領域である。配線 2 5 をパッド 2 7 内に延長した領域と、第 1 の枠状領域 2 7 a とが重なった領域 2 7 b

を、配線近傍領域と呼ぶこととする。

【0039】

第2の枠状領域27c内に、正方形の複数の絶縁領域21aが配置されている。第1の枠状領域27a及び中心領域27d内には、絶縁領域21aが配置されていない。第2の枠状領域27c内において、絶縁領域21aは、図の横方向及び縦方向に、ピッチPで規則的（周期的）に配置されている。絶縁領域21aの一边の長さをP1とし、相互に隣り合う2つの絶縁領域21aの間隔をP2とする。

第1の枠状領域27aの幅L1は、間隔P2以上である。

【0040】

図2（A）に示したパッド27においては、第1の枠状領域27a、特に配線近傍領域27b内に絶縁領域21aが配置されていないため、配線25からパッド27に流入する電流、またはパッド27から配線25に流出する電流の過度の集中を防止することができる。電流の過度の集中を、より効率よく回避するために、幅L1を間隔P2以上とすることが好ましく、ピッチP以上とすることがより好ましい。なお、絶縁領域21aが周期的に配置されていない場合には、相互に隣り合う2つの絶縁領域21aの間隔のうち最小のものよりも、幅L1を大きくすることが好ましい。

【0041】

次に、幅L1と配線25の幅W1との関係について考察する。図15に、パッド27の内部において、配線25から流入した電流の通過する部分の合計の幅Wtと、配線幅W1との関係を示す。ここで、幅Wtは、図14及び式（1）の $2 \times W2 + n \times W3$ に相当する。図2に示した幅L1及び間隔P2が、それぞれ図14の間隔W2及びW3に対応する。

【0042】

図15では、ピッチPが $2.5 \mu\text{m}$ 、間隔P1が $1.0 \mu\text{m}$ の場合を示している。横軸は配線幅W1を単位「 μm 」で表し、縦軸は電流通過部分の合計幅Wtを単位「 μm 」で表す。

【0043】

図中の直線 $a_1 \sim a_8$ が、それぞれ幅 L_1 が $1\ \mu\text{m}$ 、 $2\ \mu\text{m}$ 、 $3\ \mu\text{m}$ 、 $4\ \mu\text{m}$ 、 $5\ \mu\text{m}$ 、 $6\ \mu\text{m}$ 、 $7\ \mu\text{m}$ 、及び $8\ \mu\text{m}$ の場合を示す。図 15 の $W_t \geq W_1$ の領域（破線よりも左上の領域）では、過度の電流集中が生じない。

【0044】

例えば、配線幅 W_1 が $10\ \mu\text{m}$ のとき、幅 L_1 が $3.5\ \mu\text{m}$ 以上であれば、過度の電流集中が発生しないことがわかる。配線幅 W_1 が $5\ \mu\text{m}$ のときは、幅 L_1 が $1.5\ \mu\text{m}$ 以上であればよい。より一般的には、配線幅 W_1 が $5\ \mu\text{m}$ 以上 $10\ \mu\text{m}$ 以下のとき、 L_1/W_1 の好適な範囲が 35% 以上であり、配線幅 W_1 が $5\ \mu\text{m}$ 未満のとき、 L_1/W_1 の好適な範囲が 30% 以上であると考えられる。

【0045】

厳密には、この好適な範囲は、ピッチ P や間隔 P_2 によって変動し得るが、上述の条件を満たすように設計することにより、過度の電流集中により発生する問題を回避することができるであろう。

【0046】

図 1 に示した第 1 層目の配線層 20 を形成した後、それよりも上層のパターンを形成する前に、半導体基板 1 の表面上に形成された半導体素子の特性を検査したい場合がある。この検査時には、図 2 (B) に示すように、第 1 層目の配線層 20 内に形成されたパッド 27 に検査用の針 29 を接触させて、電源電圧の供給、及び出力信号の検出等が行われる。各配線層 20 の同じ位置にパッド 27 が配置されているため、各配線層 20 を形成した後、同一の手順で検査を行うことができる。

【0047】

図 2 に示したように、パッド 27 の中央領域 27 d 内に絶縁領域 21 a が配置されていないため、検査用の針とパッド 27 との安定した接触を確保することが可能になる。高い接触の安定性を確保するために、中央領域 27 d を、直径 $20\ \mu\text{m}$ の円を内包する大きさ及び形状とすることが好ましい。また、中央領域 27 d に発生するディッシングを抑制するために、中央領域 27 d の面積を、パッド 27 の面積（絶縁領域 21 a を含む面積）の $1/4$ 以下とすることが好ましい。

【0048】

次に、図 3 及び図 4 を参照して、図 1 に示したパッド 2 7 及びその上のプラグ 3 6 の作製方法について説明する。図 3 及び図 4 では、第 1 層目の配線層 2 0 内に配置されたパッド 2 7 と、その上のプラグ 3 6 を例にとって、作製方法を説明するが、その他の配線層 2 0 内に配置されたパッド 2 7 も同様の方法で作製することができる。

【 0 0 4 9 】

図 3 (A) に示すように、層間絶縁膜 1 0 の上に、窒化シリコン (SiN) からなる厚さ 5 0 n m のエッチングストッパ膜 2 2 を形成する。エッチングストッパ膜 2 2 は、例えば原料ガスとしてシラン (SiH_4) とアンモニア (NH_3) とを用いたプラズマ励起化学気相成長 (P E - C V D) により形成することができる。

【 0 0 5 0 】

エッチングストッパ膜 2 2 の上に、弗素添加酸化シリコン (SiOF) からなる厚さ 3 5 0 n m の中層膜 2 3 を形成する。中層膜 2 3 は、例えば原料ガスとしてフルオロシラン (SiF_4) と酸素 (O_2) とを用いた P E - C V D により形成することができる。

【 0 0 5 1 】

中層膜 2 3 の上に、酸化シリコン (SiO_2) からなる厚さ 1 5 0 n m の上層膜 2 4 を形成する。上層膜 2 4 は、例えば原料ガスとしてシランと酸素 (O_2) とを用いた P E - C V D により形成することができる。CMP により上層膜 2 4 の表面の平坦化を行う。

【 0 0 5 2 】

上層膜 2 4 の上に、レジストパターン 8 0 を形成する。レジストパターン 8 0 には、パッド 2 7 及び配線 2 5 に対応する開口が形成されている。レジストパターン 8 0 をマスクとして、上層膜 2 4 、中層膜 2 3 をエッチングする。このエッチングは、CF 系ガス (例えば、 CF_4 、 C_4F_8 等を含むガス) を用いた反応性イオンエッチング (R I E) により行うことができる。

【 0 0 5 3 】

その後、酸素プラズマを用いてレジストパターン 8 0 をアッシングする。パタ

ーニングされた上層膜 24 及び中層膜 23 をマスクとして、エッチングストッパ膜 22 をエッチングする。このエッチングは、CHF 系ガス（例えば CHF_3 を含むガス等）を用いた RIE により行うことができる。

【0054】

図 3 (B) に示すように、エッチングストッパ膜 22、中層膜 23、及び上層膜 24 の 3 層構造を有する層内絶縁膜 21 が残る。層内絶縁膜 21 には、パッド 27 が配置されるべき凹部 101 が形成されている。

【0055】

図 3 (C) に示すように、基板の全面に、厚さ 30 nm の TaN 層 26 L を、スパッタリングにより形成する。TaN 層 26 L の表面上に、Cu 層をスパッタリングにより形成し、この Cu 層をシード層としてめっき法により厚さ 1500 nm の Cu 層 27 L を形成する。

【0056】

図 4 (D) に示すように、上層膜 24 の上面が露出するまで CMP を行い、余分な Cu 層 27 L 及び TaN 層 26 L を除去する。開口 101 内に、TaN 層 26 L の一部からなるバリアメタル層 26、及び Cu 層 27 L の一部からなるパッド 27 が残る。パッド 27 内に絶縁領域 21 a が配置されているため、CMP 時のディッシングやエロージョンの発生を抑制することができる。

【0057】

図 4 (E) に示すように、窒化シリコンからなる厚さ 50 nm のエッチングストッパ膜 31 を形成する。エッチングストッパ膜 31 の形成は、例えば原料ガスとしてシランとアンモニアとを用いた PECVD により行うことができる。エッチングストッパ膜 31 の上に、酸化シリコンからなる厚さ 500 nm の層間絶縁膜 30 を形成する。層間絶縁膜 30 は、例えば原料ガスとしてシランと酸素とを用いた PECVD により形成することができる。

【0058】

層間絶縁膜 30 とエッチングストッパ膜 31 とを貫通するビアホール 35 を形成する。パッド 27 の形成方法と同様に、TaN 層と Cu 層との成膜、及び CMP 工程を実施することにより、ビアホール 35 内にバリアメタル層 37 及びプラ

グ 3 6 を形成する。

【 0 0 5 9 】

以上の工程を繰り返すことにより、図 1 に示した第 1 層目の配線層 2 0 から第 4 層目の配線層 2 0 までを形成することができる。

【 0 0 6 0 】

次に、図 1 を参照して、第 4 層目の配線層 2 0 よりも上層の多層構造の作製方法について説明する。

【 0 0 6 1 】

第 4 層目の配線層 2 0 の上に、窒化シリコンからなるエッチングストッパ膜 4 1、及び酸化シリコンからなる層間絶縁膜 4 0 を順番に形成する。CMP により層間絶縁膜 4 0 の表面の平坦化を行う。この 2 層に、ビアホール 4 5 を形成する。ビアホール 4 5 の内面及び層間絶縁膜 4 0 の上面を覆う厚さ 2 0 0 n m の T i N 層を形成する。この T i N 層の上に、ビアホール 4 5 内を埋め込むように厚さ 4 0 0 n m の W 層を形成する。CMP により、余分の W 層と T i N 層とを除去し、ビアホール 4 5 内に、T i N からなる接着層 4 7 と W からなるプラグ 4 6 とを残す。

【 0 0 6 2 】

層間絶縁膜 4 0 の上に、厚さ 5 0 n m の T i N 層、厚さ 1 0 0 0 n m の A l C u 合金層、及び厚さ 5 0 n m の T i N 層を順番に形成する。この 3 層をパターンニングして、T i N からなるバリアメタル層 5 1、A l C u 合金からなるパッド 5 0、及び T i N からなるバリアメタル層 5 2 を残す。この 3 層のエッチングは、塩素系ガス（例えば C l₂ と O₂ と A r との混合ガス）を用いた R I E により行うことができる。この工程で、配線 6 0 が形成される。

【 0 0 6 3 】

層間絶縁膜 4 0 の上に、パッド 5 0 及び配線 6 0 を覆う厚さ 1 0 0 0 n m の酸化シリコン膜 7 0 A 及び厚さ 5 0 0 n m の窒化シリコン膜 7 0 B を順番に形成する。窒化シリコン膜 7 0 B、酸化シリコン膜 7 0 A、及びバリアメタル層 5 2 の 3 層を貫通する開口 7 1 を形成する。窒化シリコン膜 7 0 B と酸化シリコン膜 7 0 A との 2 層は、C F 系ガスを用いた R I E により行い、バリアメタル層 5 2 の

エッチングは、塩素系ガスを用いた R I E により行うことができる。

【 0 0 6 4 】

パッド 5 0 に検査用の針を接触させ、半導体基板 1 の表面上に形成されている半導体素子の検査を行う。検査結果が合格であれば、スクライブラインに沿って半導体基板 1 をスクライプし、各チップに分離する。パッド 5 0 がスクライプ領域内に配置されている場合、チップに分離された後は、図 1 に示したパッド 5 0 及びその下のパッド 2 7 は、元形を止めないが、チップの端部に、パッド 5 0 やパッド 2 7 の残骸が残る場合もある。パッド 5 0 がチップ領域内に配置されている場合には、パッド 5 0 やその下のパッド 2 7 が、チップ内にそのまま残る。

【 0 0 6 5 】

次に、図 5 を参照して、パッド内の絶縁領域とプラグとの位置関係について説明する。

【 0 0 6 6 】

図 5 (A) は、パッド 2 7 内に配置された絶縁領域 2 1 a とビアホール 4 5 との位置関係の一例を示す図である。ビアホール 4 5 は、絶縁領域 2 1 a と重ならない位置に配置されている。すなわち、ビアホール 4 5 は、パッド 2 7 の導電領域に内包されている。

【 0 0 6 7 】

このような配置にすると、図 1 に示したビアホール 4 5 を形成する際に、オーバエッチングが発生したとしても、下の層内絶縁膜 2 1 が露出しない。このため、層内絶縁膜 2 1 内の中層膜 2 3 が水分を吸着することによる密着性の低下を防止することができる。

【 0 0 6 8 】

図 5 (A) に示したビアホール 4 5 は、パッド 2 7 内にほぼ一様に分布していた。図 5 (B) に示した構成例では、ビアホール 4 5 が中央領域 2 7 d 内に配置されていない。以下、図 5 (B) に示した構成例の効果について説明する。

【 0 0 6 9 】

中央領域 2 7 d 内に、絶縁領域 2 1 a が配置されていないため、CMP によりパッド 2 7 の中央領域 2 7 d にディッシングが発生する場合がある。ディッシン

グが発生すると、図1に示した第4層目のパッド27の中央領域27dの上の層間絶縁膜40が実質的に厚くなる。これにより、中央領域27dの上に形成されるビアホールが層間絶縁膜40を貫通しない場合が生じ得る。図5(B)に示したように、中央領域27d内にビアホールを配置しないことにより、ビアホールの貫通不良の発生を防止することができる。

【0070】

貫通不良のビアホールが発生すると、上下のパッドを接続するプラグの実質的な本数が減少する。このため、プラグ1個あたりに流れる電流が、設計値を超えてしまう。なお、第4層目に限らず、他の層のパッド27にも、図5(B)と同様の構成を採用してもよい。

【0071】

図5(C)に示すように、絶縁領域21aの配置されていない中央領域27d内に、一つの大きなビアホール45を配置してもよい。

【0072】

図6に、図5(C)に示したパッドの断面図を示す。第4層目の配線層20の上に、エッチングストッパ膜41及び層間絶縁膜40が形成されている。この2層を貫通するビアホール45が、パッド27の中央領域27dに内包される位置に形成されている。層間絶縁膜40の上にパッド50が形成されている。パッド50は、ビアホール45内を経由して第4層目の配線層20内に配置されたパッド27の中央領域27dに接続される。パッド50の底面とその下地表面との間には、バリアメタル層51が配置されている。パッド50よりも上層の構成は、図1に示した半導体装置の構成と同様である。

【0073】

導線75とパッド50との接触部が、ビアホール45の外側まで広がっている。このため、基板の法線に平行な視線で見たとき、導線75とパッド50との接触部が、層間絶縁膜40の一部と重なる。酸化シリコンからなる層間絶縁膜40は、Cuのパッド27よりも硬い。このため、導線75とパッド50との接触部が層間絶縁膜40と重なっている領域において、導線75とパッド50との高い密着性を確保することができる。

【0074】

図7 (A) 及び (B) に、パッド27の他の構成例を示す。図7 (A) は、図2に示した第1の棒状領域27aのうち配線近傍領域27b以外の領域に、絶縁領域21aが配置されている例を示す。配線近傍領域27b内に絶縁領域21aを配置しないことにより、電流の過度の集中を回避することができる。

【0075】

図7 (B) は、正方形のパッド27の3つの辺に、それぞれ配線25が接続されている例を示す。3本の配線25の各々に対応して配線近傍領域27bが配置されている。このような構成とすることにより、いずれの配線25から電流が流入する場合にも、電流の過度の集中を回避することができる。

【0076】

図8 (A) 乃至 (C) に、さらに、パッド27の他の構成例を示す。図2及び図7に示した構成では、中央領域27d内に絶縁領域21aが配置されていなかった。図8 (A) 乃至 (C) に示す構成例では、中央領域27d内にも絶縁領域21aが配置されている。図8 (A) 乃至 (C) に示したパッド27の中央領域27d以外の領域における絶縁領域21aの配置は、それぞれ図7 (A)、図7 (B)、及び図2に示したパッド27の構成と同様である。

【0077】

検査用の針を接触させる必要のないパッド27は、図8 (A) 乃至 (C) に示した構成としてもよい。中央領域27d内にも絶縁領域21aが配置されているため、中央領域27dにおけるディッシングの発生を防止することができる。

【0078】

上記第1の実施例では、層内絶縁膜21の一部に、弗素添加酸化シリコンからなる中層膜23を配置したが、中層膜23を、ポリアリルエーテル等の有機絶縁材料で形成してもよい。また、層内絶縁膜21を、エッチングストップ膜と酸化シリコン膜との2層構造としてもよい。

【0079】

次に、図9乃至図11を参照して、本発明の第2の実施例による半導体装置及びその製造方法について説明する。上記第1の実施例では、シングルダマシン法

で配線及びプラグを形成したが、第2の実施例では、デュアルダマシン法が採用される。

【0080】

図9（A）の状態に至るまでの工程について説明する。図9（A）に示した層間絶縁膜10よりも下層の構造は、図1に示した第1の実施例による半導体装置の層間絶縁膜10よりも下層の構造と同一である。

【0081】

層間絶縁膜10の上に、第1層目の配線層20が形成されている。図1に示した第1層目の配線層20内の層内絶縁膜21は、エッチングストッパ膜22、弗素添加酸化シリコン層23、及び酸化シリコン層24の3層構造であったが、第2の実施例による半導体装置の層内絶縁膜21は、窒化シリコンからなるエッチングストッパ膜と酸化シリコン層との2層構造を有する。層内絶縁膜21に形成された凹部に、パッド27が埋め込まれている。凹部の内面とパッド27との間に、バリアメタル層26が配置されている。

【0082】

第1層目の配線層20の上に、第1エッチングストッパ膜100、層間絶縁膜101、第2エッチングストッパ膜102、及び層内絶縁膜103を順番に形成する。第1エッチングストッパ膜100及び第2エッチングストッパ膜102の各々は、窒化シリコンで形成され、その厚さは50nmである。層間絶縁膜101及び層内絶縁膜103の各々は、酸化シリコンで形成され、その厚さは350nmである。

【0083】

層内絶縁膜103の表面上に、レジストパターン105を形成する。レジストパターン105には、図1に示したビアホール35に対応する開口105aが設けられている。レジストパターン105をマスクとして、層内絶縁膜103、第2エッチングストッパ膜102、及び層間絶縁膜101をエッチングし、第1エッチングストッパ膜100の一部を露出させる。これらの各膜のエッチングは、CF系ガスを用いた異方性のRIEにより行うことができる。CとFとの組成比の異なる種々のガスを用いることにより、窒化シリコン膜をエッチングしたり、

窒化シリコン膜をエッチングストッパ膜として作用させたりすることができる。エッチング途中に、使用するガスを切り替えることにより、第2エッチングストッパ膜102をエッチングし、第1エッチングストッパ膜100の上面でエッチングを停止させることができる。エッチング後、レジストパターン105を除去する。

【0084】

図9 (B) に示すように、層内絶縁膜103、第2エッチングストッパ膜102、及び層間絶縁膜101の3層を貫通するビアホール108が形成される。基板表面に樹脂を塗布した後、溶解させ、ビアホール108のうち、第2エッチングストッパ膜102の底面よりも深い部分に樹脂109を埋め込む。熱処理を行い、樹脂109を硬化させる。樹脂109として、例えば感光剤を除去したレジスト材料を用いることができる。

【0085】

層内絶縁膜103の表面上に、レジストパターン110を形成する。レジストパターン110には、図1に示したパッド27に対応する開口110aが形成されている。レジストパターン110をマスクとして、層内絶縁膜103をエッチングする。このエッチングは、CF系ガスを用いた異方性のRIEにより行うことができる。エッチング後、レジストパターン110及び樹脂109を、アッシングにより除去する。

【0086】

図10 (C) に示すように、層内絶縁膜103の底面まで達する凹部112が形成される。凹部112の底面の一部に、ビアホール108が開口している。層内絶縁膜103をマスクとして第2エッチングストッパ膜102をエッチングすると同時に、層間絶縁膜101をマスクとして第1エッチングストッパ膜100をエッチングする。

【0087】

図10 (D) に示すように、エッチングストッパ膜100及び102のうち露出していた部分が除去される。ビアホール108の内面、凹部112の内面、及び層内絶縁膜103の表面を、バリアメタル層115で覆う。バリアメタル層1

15は、例えばTa₂NまたはTaで形成され、その厚さは30nmである。

【0088】

バリアメタル層115の上に、導電膜116を形成する。導電膜116は、例えばCuで形成され、その厚さは1500nmである。導電膜116は、スパッタリングによりCuからなるシード層を形成した後、Cuをめっきすることにより形成される。ビアホール108内、及び凹部112内が、導電膜116で埋め込まれる。

【0089】

図11に示すように、層内絶縁膜103の上面が露出するまでCMPを行うことにより、余分の導電膜116及びバリアメタル層115を除去する。ビアホール108内及び凹部112内に、導電膜116が残る。パッドを画定する凹部112内に、層内絶縁膜103の一部が島状に残されているため、CMP時のディッシングやエロージョンの発生を抑制することができる。同様の工程を繰り返すことにより、多層配線層を形成することができる。

【0090】

このように、デュアルダマシン法を用いてパッドを形成する第2の実施例の場合にも、第1の実施例と同様の効果を得ることができる。

【0091】

図16に、パッド27の他の形状を示す。上述の実施例では、例えば図2(A)に示したように、パッド27の第2の枠状領域内に、行列状にほぼ均等に絶縁領域21aが分散されていた。図16に示すように、正形状の第2の枠状領域27c内の、相互に対向する2つの辺に相当する領域に、細長い複数の絶縁領域21aを配置してもよい。この場合、第2の枠状領域27cのうち、絶縁領域21aの配置されていない辺に対応するパッド27の外周に、配線25が接続される。

【0092】

この場合にも、部分的に絶縁領域21aを配置することにより、エロージョンやディッシングの発生を抑制することができる。また、中央領域27d内は、全面が導電領域とされているため、導電性の針を安定して接触させることができる。

。また、電流の過度の集中を回避することができる。

【 0 0 9 3 】

以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【 0 0 9 4 】

上記実施例から、以下の付記に示された発明が導出される。

(付記 1) (a) 表面上に半導体素子が形成された半導体基板の上に、絶縁材料からなる第 1 の層間絶縁膜を形成する工程と、

(b) 前記第 1 の層間絶縁膜の上に、絶縁材料からなる第 1 の層内絶縁膜を形成する工程と、

(c) 前記第 1 の層内絶縁膜に凹部を形成する工程であって、該凹部は、パッド部と、該パッド部に連続する配線部とを含み、該パッド部は、該配線部の幅よりも広い幅を有し、該パッド部内に複数の凸部が残されており、該パッド部の外周を外周線とし第 1 の幅を有する枠状の第 1 の枠状領域のうち、前記配線部を該パッド部内に延長した領域と重なる配線近傍領域における凹部の面積比が、前記第 1 の枠状領域の内周線を外周線とし第 2 の幅を有する枠状の第 2 の枠状領域における凹部の面積比よりも大きくなるように前記凸部が配置されるように凹部を形成する工程と、

(d) 前記凹部内を埋め込むように、前記半導体基板上に導電性材料からなる第 1 の膜を形成する工程と、

(e) 前記第 1 の膜の上層部を除去し、前記凹部内に残った該第 1 の膜からなる第 1 のパッドを形成する工程と
を有する半導体装置の製造方法。

(付記 2) 前記工程 (e) の後、さらに、

(f) 前記第 1 の層内絶縁膜及び残された前記第 1 の膜の上に、絶縁材料からなる第 2 の層間絶縁膜を形成する工程と、

(g) 前記第 2 の層間絶縁膜にビアホールを形成する工程であって、基板の法線に平行な視線で見たとき、該ビアホールが前記第 1 のパッドに内包されるよう

に前記ビアホールを形成する工程と、

(h) 前記第 2 の層間絶縁膜の上に、前記ビアホール内を経由して前記第 1 のパッドに接続された第 2 のパッドを形成する工程と
を有する付記 1 に記載の半導体装置の製造方法。

(付記 3) 前記工程 (h) の後、さらに、

(i) 前記第 2 のパッドに導電性の針を接触させて、前記半導体素子の検査を行う工程を含む付記 2 に記載の半導体装置の製造方法。

(付記 4) 前記工程 (i) の後、さらに、

(j) 前記第 2 のパッドの内側を通過するように、前記半導体基板をスクライピングする工程を含む付記 3 に記載の半導体装置の製造方法。

(付記 5) 前記第 1 の枠状領域内に、前記凸部が配置されていない付記 1 乃至 4 のいずれかに記載の半導体装置の製造方法。

(付記 6) 前記第 2 の枠状領域よりも内側の中央領域には前記凸部が残されておらず、

さらに、前記工程 (e) の後、前記第 1 の層内絶縁膜及び残された前記第 1 の膜の上に、絶縁材料からなる第 2 の層間絶縁膜を形成する工程と、

前記第 2 の層間絶縁膜にビアホールを形成する工程であって、基板の法線に平行な視線で見たとき、該ビアホールが前記中央領域に内包されるように前記ビアホールを形成する工程と、

前記第 2 の層間絶縁膜の上に、前記ビアホール内を経由して前記第 1 のパッドに接続された第 2 のパッドを形成する工程と、

前記第 2 のパッドに、導線をワイヤボンディングする工程であって、基板の法線に平行な視線でみたとき、前記導線と前記第 2 のパッドとの接触部が前記ビアホールの外側まで広がるようにボンディングを行う工程と
を有する付記 1 に記載の半導体装置の製造方法。

(付記 7) 半導体基板と、

前記半導体基板の上に形成された絶縁性材料からなる第 1 の層間絶縁膜と、

前記第 1 の層間絶縁膜の上に形成された第 1 の層内絶縁膜であって、該第 1 の層内絶縁膜の底面まで達する凹部が設けられており、該凹部は、パッド部と、該

パッド部に連続する配線部とを含み、該パッド部は、該配線部の幅よりも広く、該パッド部内に複数の凸部が残されており、該パッド部の外周を外周線とし第 1 の幅を有する枠状の第 1 の枠状領域のうち、前記配線部を該パッド部内に延長した領域と重なる配線近傍領域における凹部の面積比が、前記第 1 の枠状領域の内周線を外周線とし第 2 の幅を有する枠状の第 2 の枠状領域における凹部の面積比よりも大きくなるように前記凸部が配置されている前記第 1 の層内絶縁膜と、

前記凹部のパッド部内に埋め込まれた第 1 のパッドと、

前記凹部の配線部内に埋め込まれた配線と

を有する半導体装置。

(付記 8) 前記第 1 の層内絶縁膜、前記第 1 のパッド、及び前記配線の上に形成され、基板の法線に平行な視線で見たとき、前記第 1 のパッドと部分的に重なるように配置されたビアホールが設けられている第 2 の層間絶縁膜と、

前記第 2 の層間絶縁膜の上に形成され、前記ビアホール内を経由して前記第 1 のパッドに接続された第 2 のパッドと

を有する付記 7 に記載の半導体装置。

(付記 9) 前記配線近傍領域内に前記凸部が配置されていない付記 7 または 8 に記載の半導体装置。

(付記 10) 前記第 2 の枠状領域よりも内側の中央領域内に前記凸部が配置されていない付記 7 乃至 9 のいずれかに記載の半導体装置。

(付記 11) 基板の法線に平行な視線で見たとき、前記ビアホールが前記第 1 のパッドに内包されている付記 7 乃至 10 のいずれかに記載の半導体装置。

(付記 12) 前記第 2 の枠状領域内に、前記凸部が第 1 の方向に第 1 のピッチで規則的に配置されており、前記第 1 の枠状領域の前記第 1 の方向に関する幅が、該第 1 のピッチ以上である付記 7 乃至 11 のいずれかに記載の半導体装置。

(付記 13) さらに、前記パッドにワイヤボンディングされた導線を有し、前記第 2 の枠状領域よりも内側の中央領域内に前記凸部が配置されておらず、前記ビアホールが前記中央領域内に配置されており、基板の法線に平行な視線で見たとき、前記第 2 のパッドと前記導線との接触部が前記ビアホールの外側まで広がっている付記 8 に記載の半導体装置。

【 0 0 9 5 】

【発明の効果】

以上説明したように、本発明によれば、パッド内に絶縁領域を配置しておくことにより、CMP後のディッシングやエロージョンの発生を抑制することができる。パッドと配線との接続箇所近傍に、絶縁領域が配置されていない領域を設けておくことにより、配線からパッドに流入する電流の過度の集中を回避することができる。また、パッドの中央部に、絶縁領域が配置されていない領域を設けておくことにより、検査用の針をパッドに接触させる際の接触の不安定性を回避することができる。

【図面の簡単な説明】

【図 1】

第 1 の実施例による半導体装置の断面図である。

【図 2】

第 1 の実施例による半導体装置に用いられるパッドの平面図である。

【図 3】

第 1 の実施例による半導体装置の製造方法を説明するための断面図（その 1）である。

【図 4】

第 1 の実施例による半導体装置の製造方法を説明するための断面図（その 2）である。

【図 5】

パッドの絶縁領域とビアホールとの相対位置関係を示す図である。

【図 6】

ビアホールがパッドの中央領域にのみ配置されている構成例のパッドの断面図である。

【図 7】

パッドの他の構成例を示す平面図である。

【図 8】

パッドの他の構成例を示す平面図である。

【図 9】

第 2 の実施例による半導体装置の製造方法を説明するための断面図（その 1）である。

【図 1 0】

第 2 の実施例による半導体装置の製造方法を説明するための断面図（その 2）である。

【図 1 1】

第 2 の実施例による半導体装置の製造方法を説明するための断面図（その 3）である。

【図 1 2】

従来の半導体装置に用いられているパッドの断面図である。

【図 1 3】

従来の半導体装置に用いられているパッドの平面図である。

【図 1 4】

電流の集中の原因を説明するためのパッド及び配線の平面図である。

【図 1 5】

パッド内の電流通過領域の合計幅 W_t と、配線幅 W_1 との関係を示すグラフである。

【図 1 6】

パッドの他の形状を示す平面図である。

【符号の説明】

- 1 半導体基板
- 5 素子分離絶縁膜
- 6 MOSFET
- 1 0、3 0、4 0、1 0 1 層間絶縁膜
- 1 1、3 5、4 5、1 0 8 ビアホール
- 1 2 A、2 6、3 6、4 7、5 1、5 2、1 1 5 バリアメタル層
- 1 2 B、3 7、4 6 プラグ
- 2 0 配線層

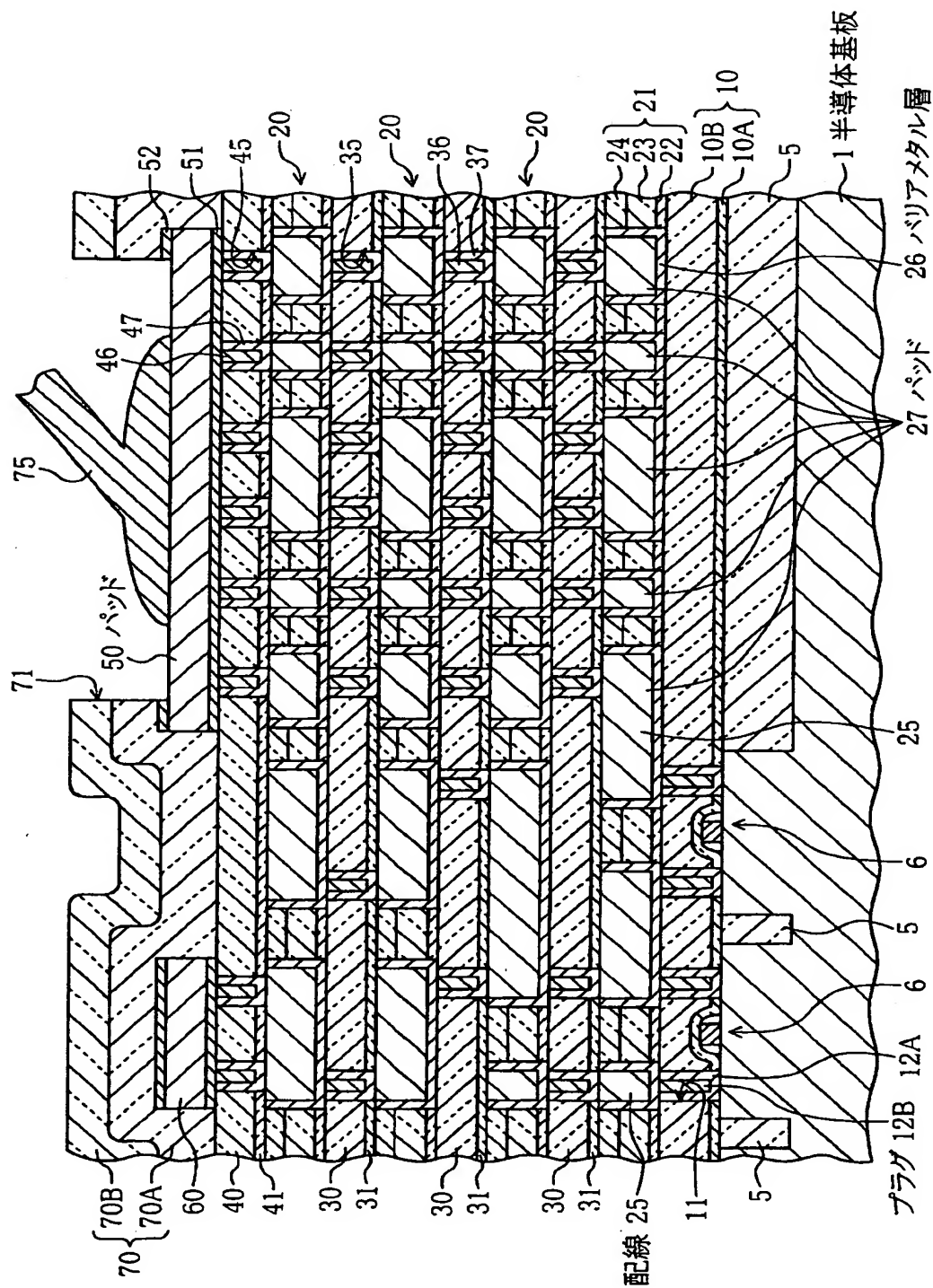
21、103 層内絶縁膜
22、31、41、100 エッチングストッパ膜
23 中層膜
24 上層膜
25 配線
27、50 パッド
60 配線
70 被覆膜
71 開口
80、105 レジストパターン
109 樹脂
112 凹部
116 導電膜

【書類名】

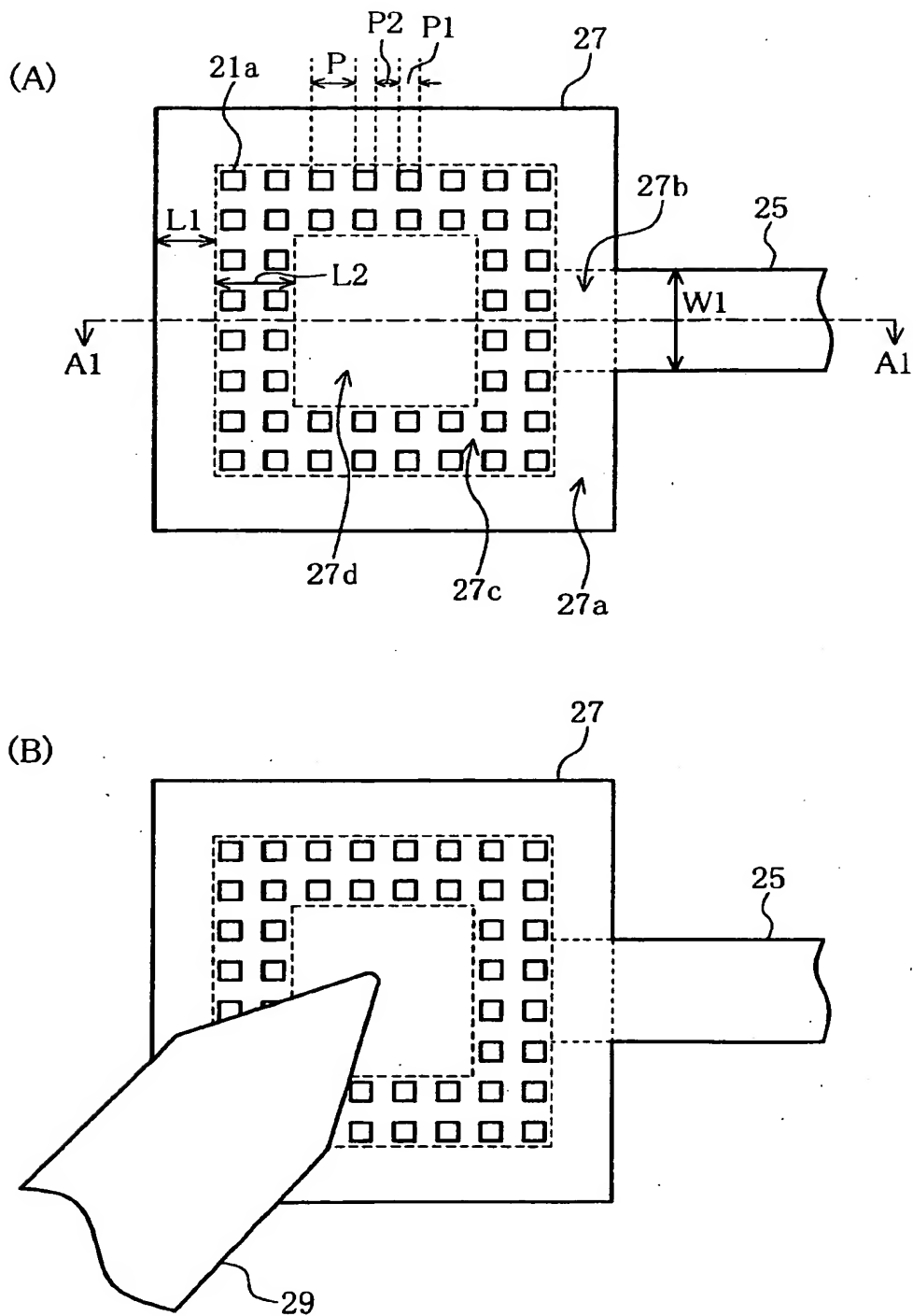
図面

【図 1】

第1の実施例による半導体装置

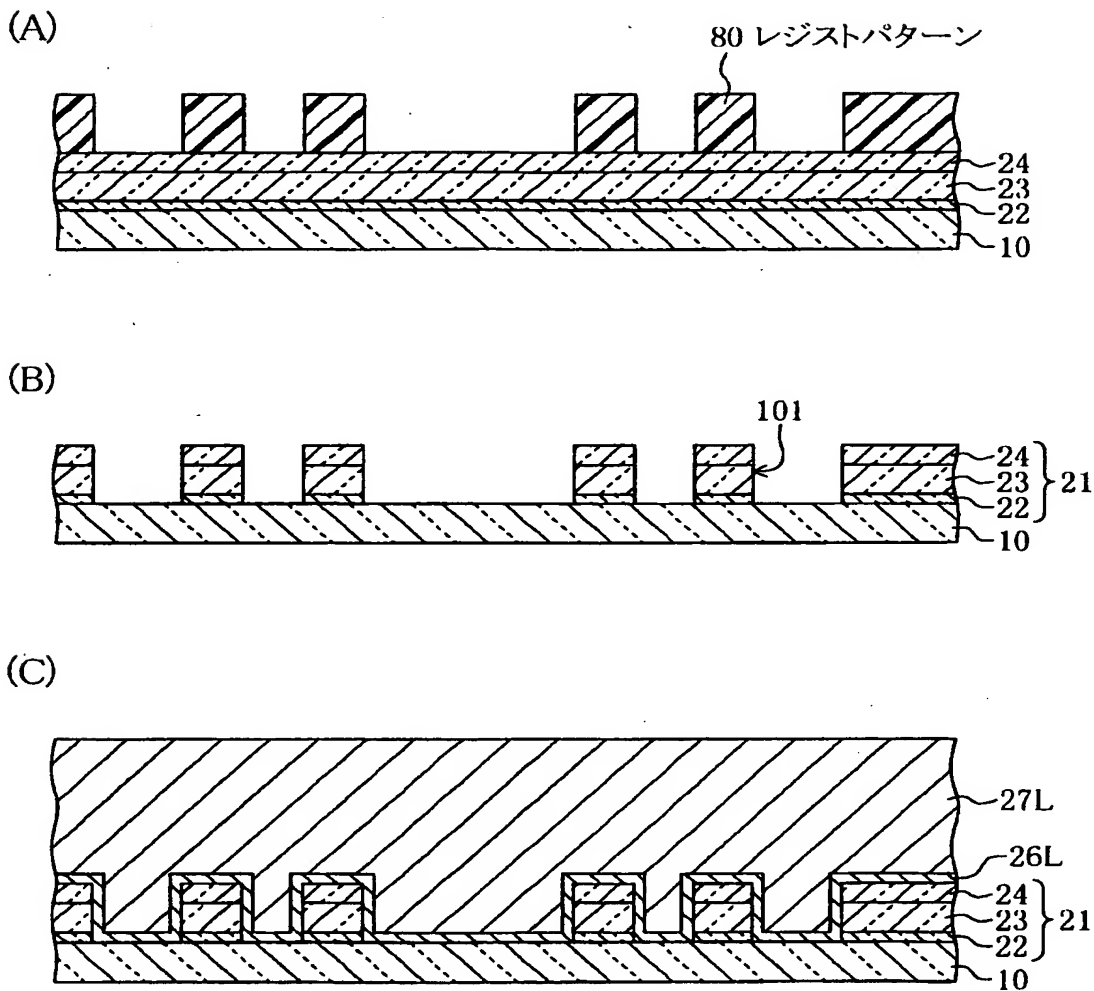


【図2】



【図 3】

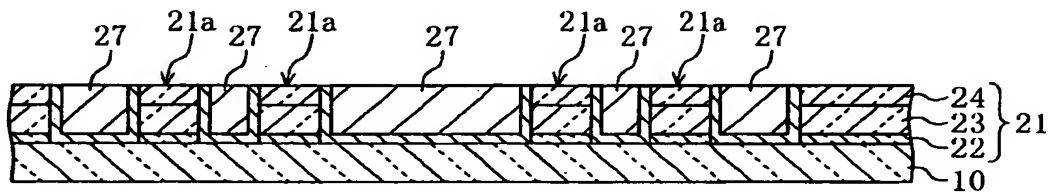
第1の実施例による半導体装置の製造方法（その1）



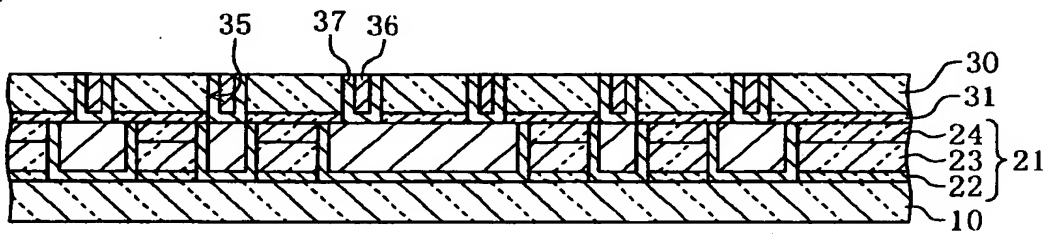
【図 4】

第1の実施例による半導体装置の製造方法（その2）

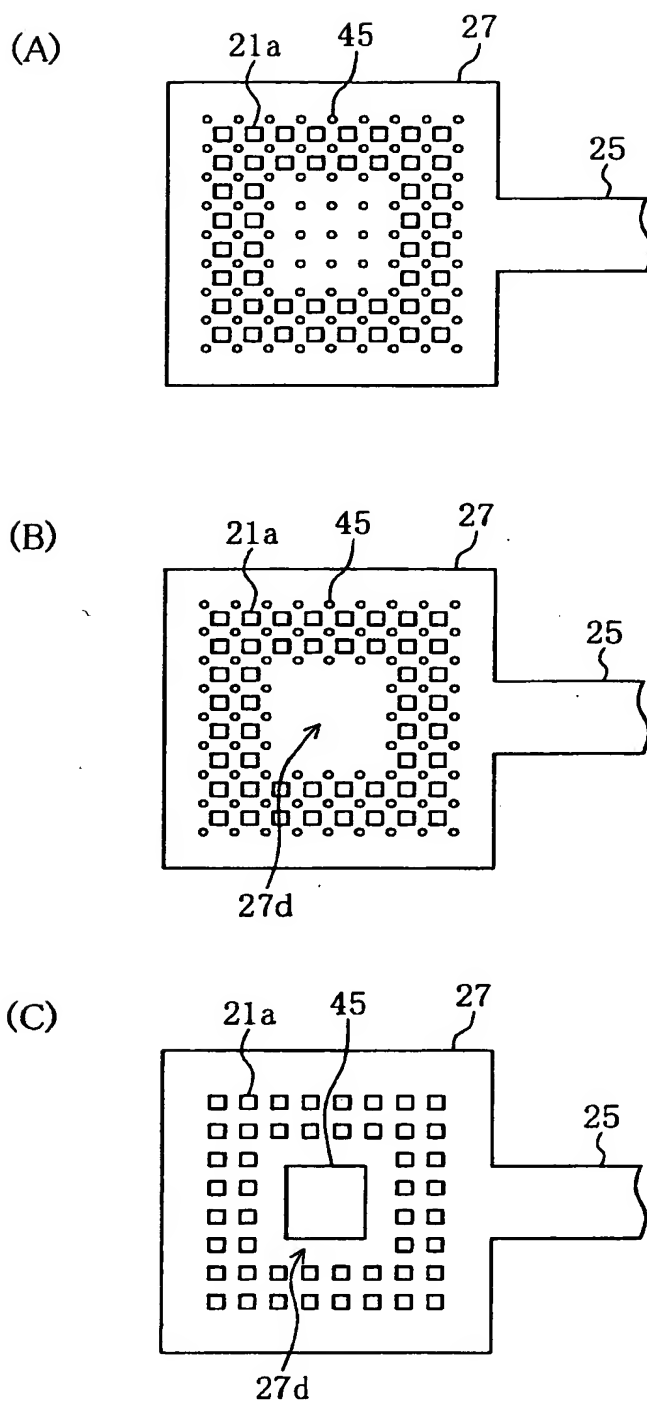
(D)



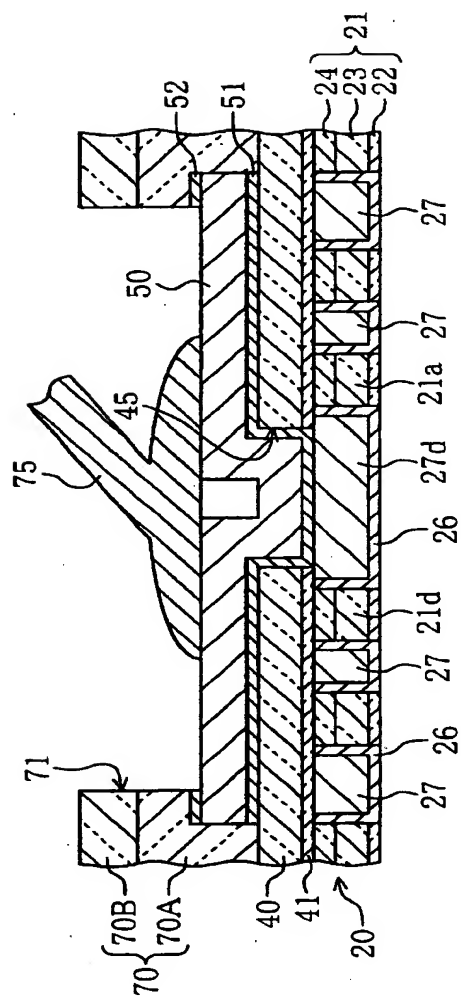
(E)



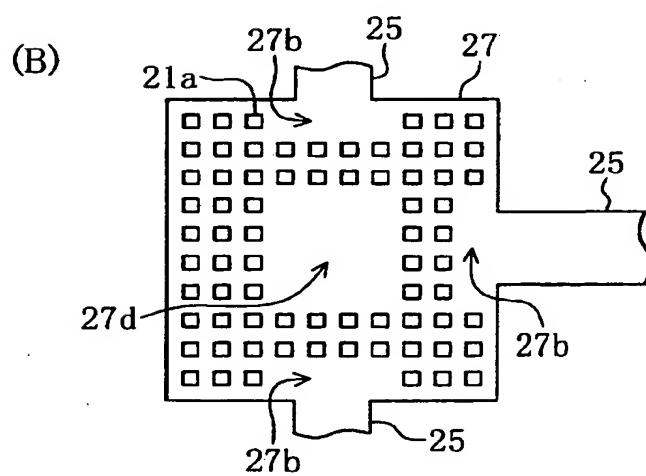
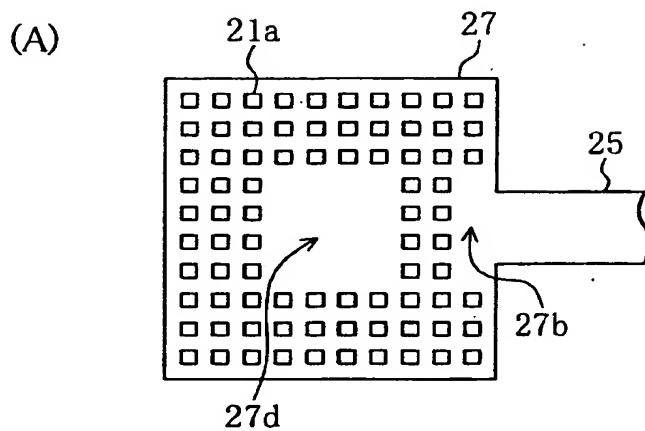
【図 5】



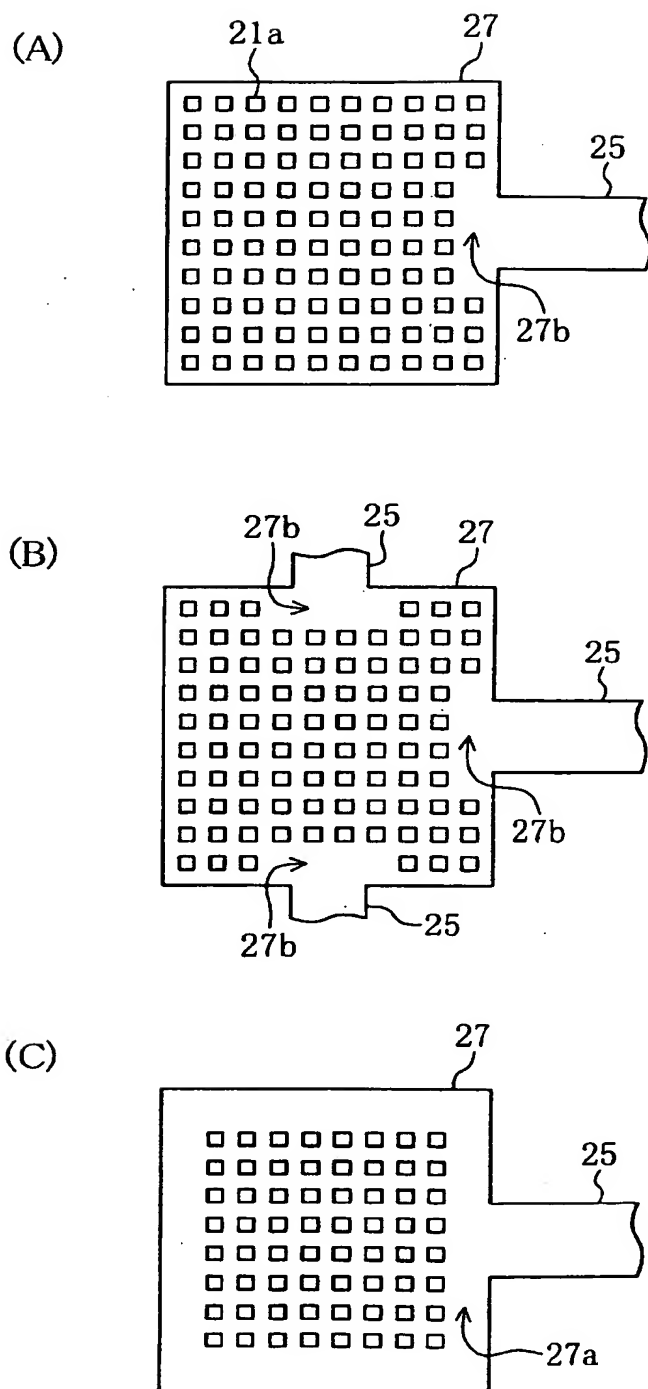
【図 6】



【図7】



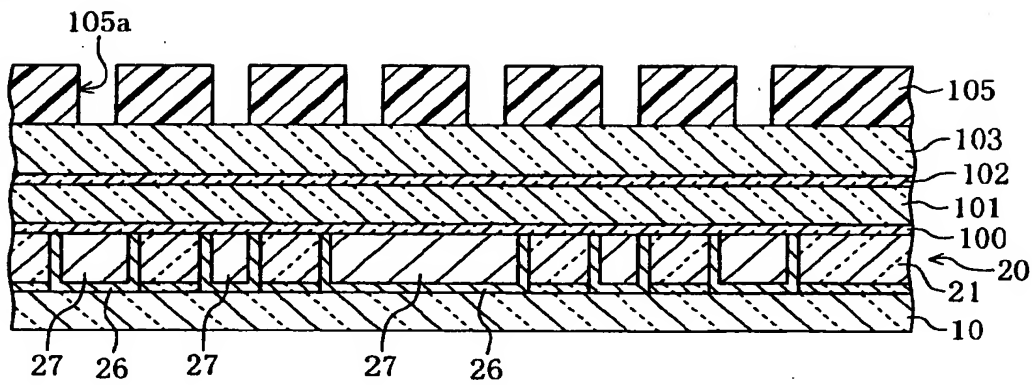
【図8】



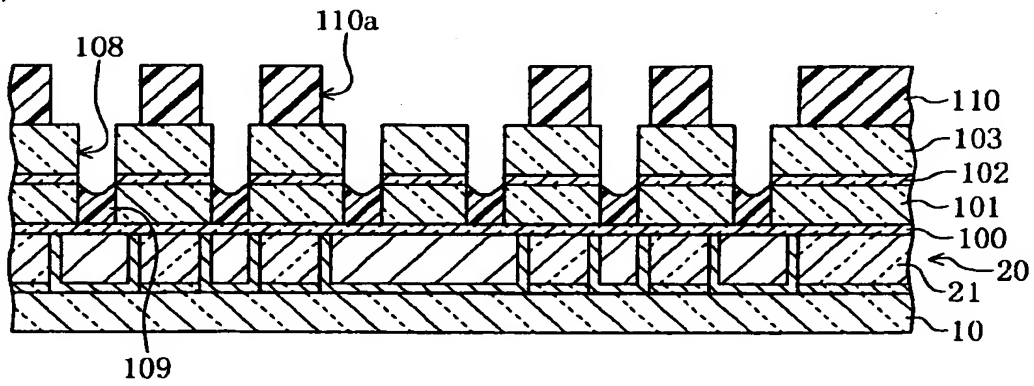
【図 9】

第2の実施例による半導体装置の製造方法（その1）

(A)



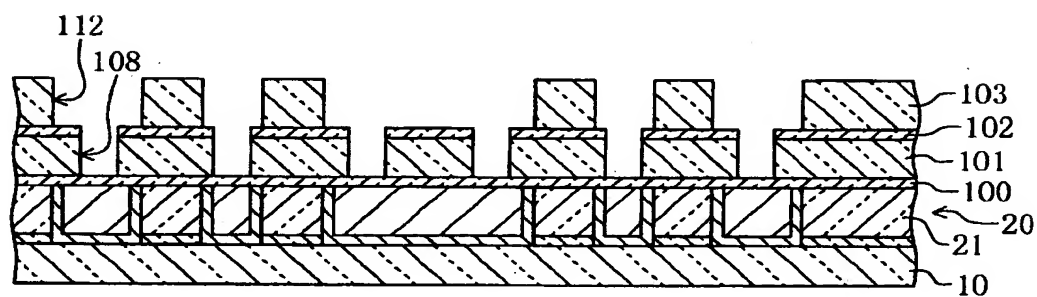
(B)



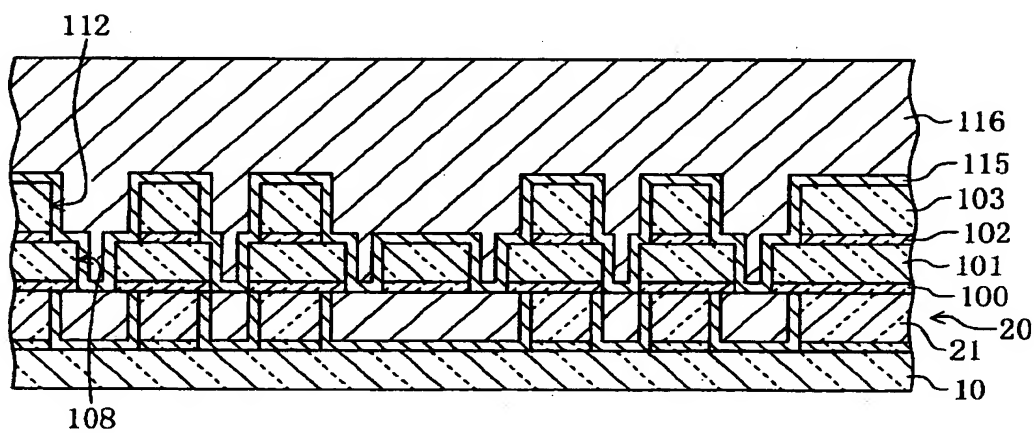
【図 1 0】

第2の実施例による半導体装置の製造方法（その2）

(C)

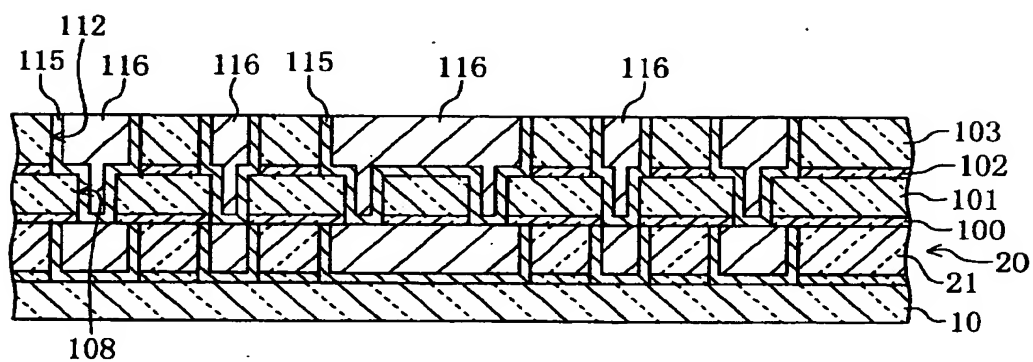


(D)



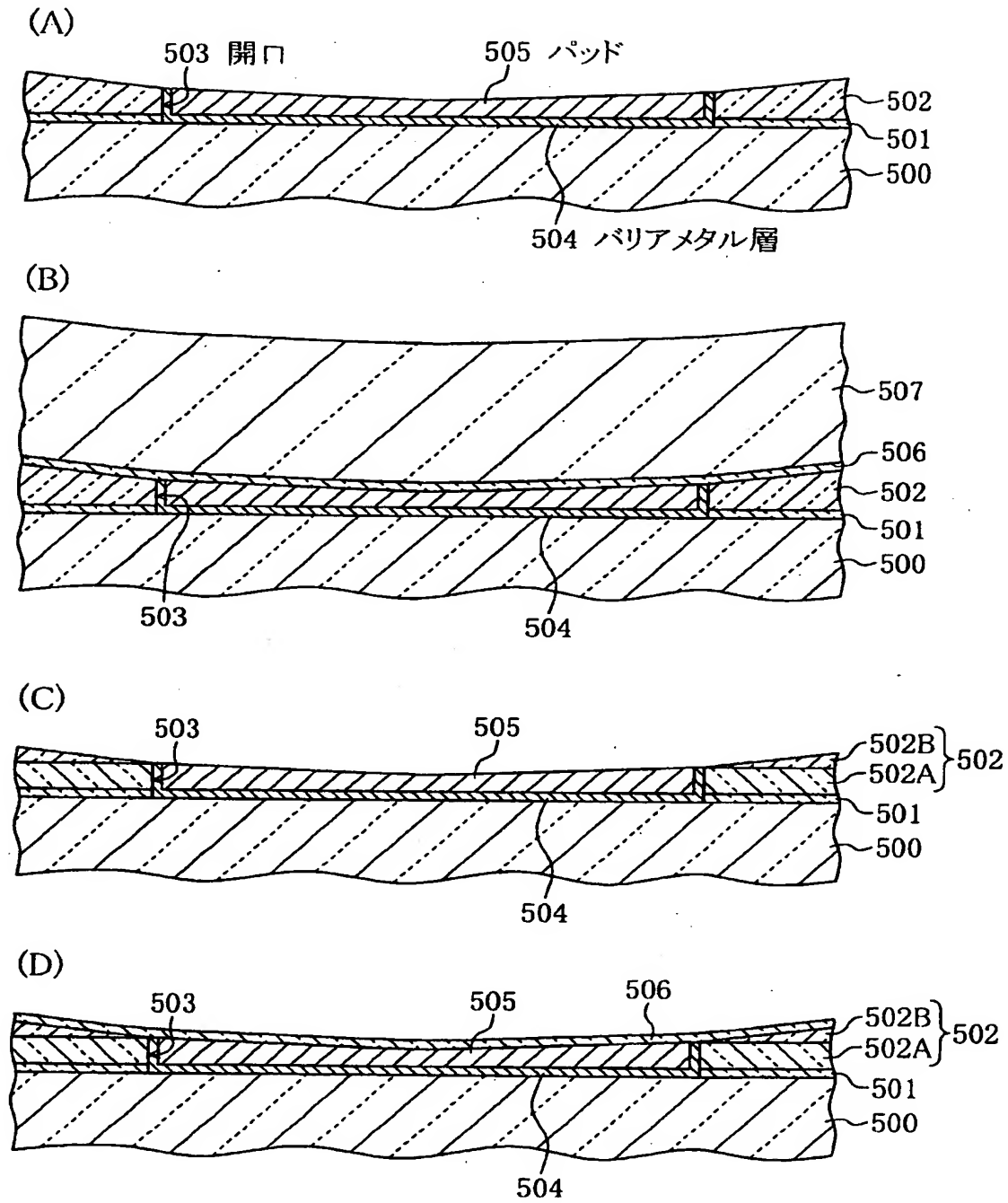
【図 11】

第2の実施例による半導体装置の製造方法（その3）

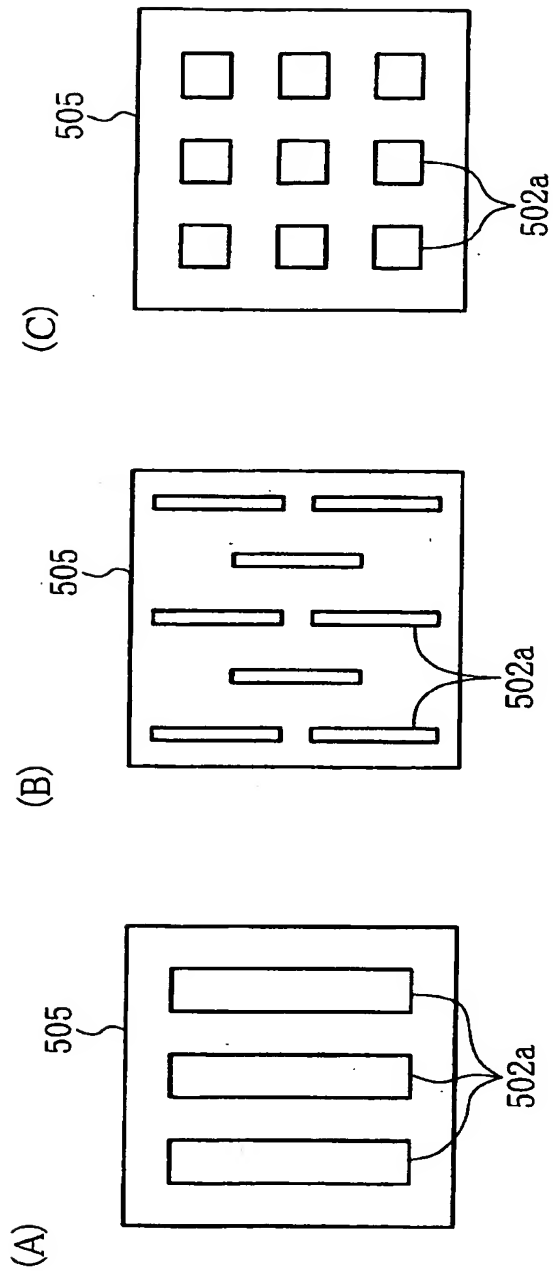


【図 1 2】

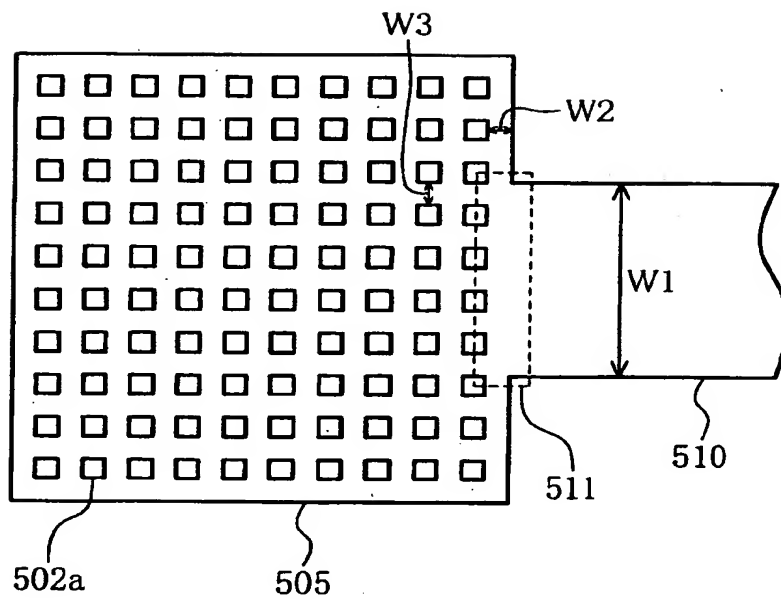
従来例



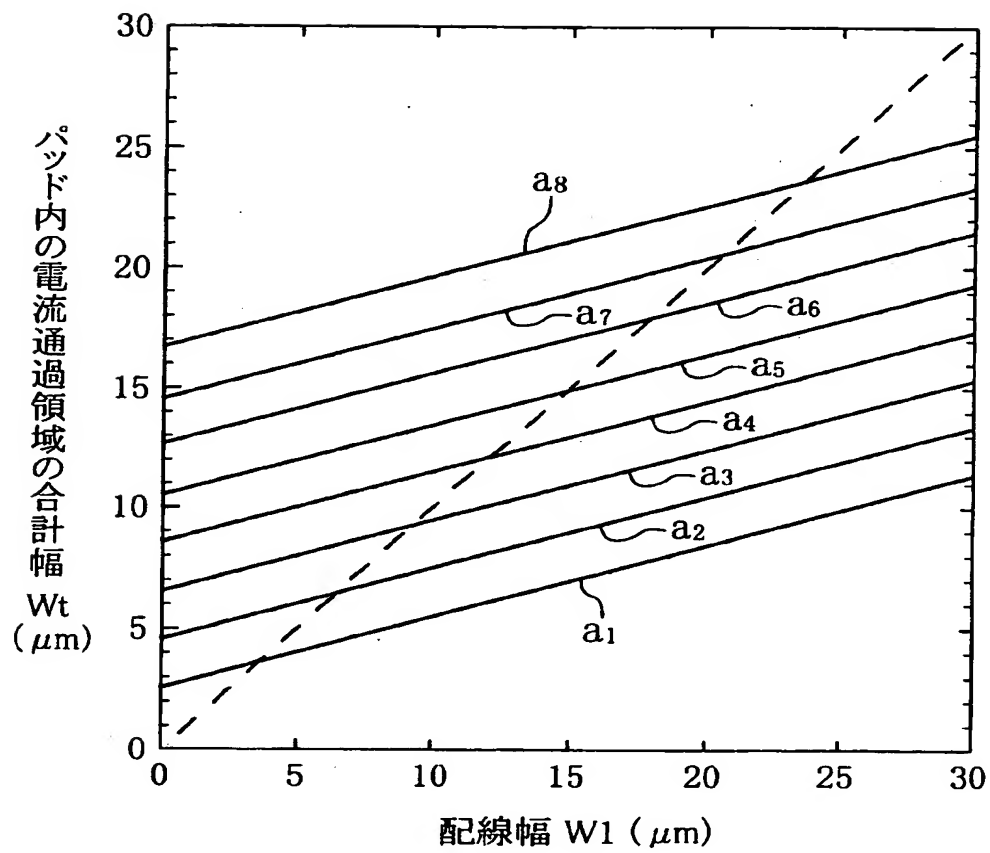
【図13】



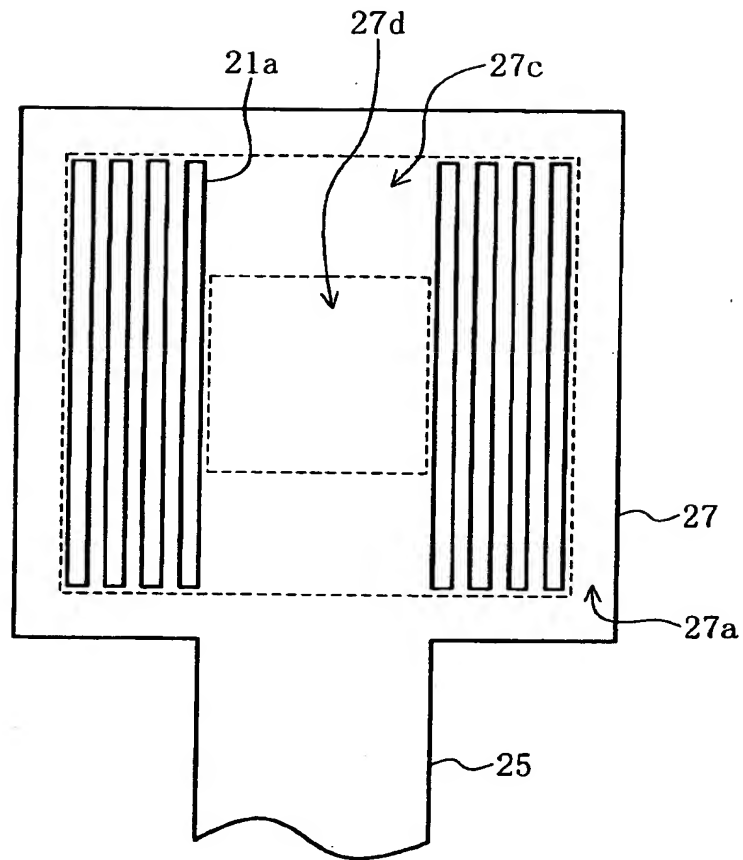
【図 1 4】



【図 15】



【図 16】



【書類名】 要約書

【要約】

【課題】 パッド内での過度の電流集中を抑制することが可能なパッド構造を有する半導体装置の製造方法を提供する。

【解決手段】 半導体基板の上に、絶縁材料からなる層間絶縁膜を形成する。層間絶縁膜の上に、絶縁材料からなる層内絶縁膜を形成する。層内絶縁膜に凹部を形成する。該凹部は、パッド部と、該パッド部に連続する配線部とを含む。パッド部は、配線部の幅よりも広い。パッド部内に複数の凸部が残されている。パッド部の外周を外周線とする第1の枠状領域のうち、配線部をパッド部内に延長した領域と重なる領域における凹部の面積比が、第1の枠状領域の内周線を外周線とする第2の枠状領域における凹部の面積比よりも大きくなるように凸部が配置されている。凹部内を埋め込むように、半導体基板上に導電膜を形成する。導電膜の上層部を除去し、凹部内に残った第1の膜からなる第1のパッドを形成する。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社